

METHOD OF MANUFACTURING SEMICONDUCTOR MEMBER AND SEMICONDUCTOR DEVICE

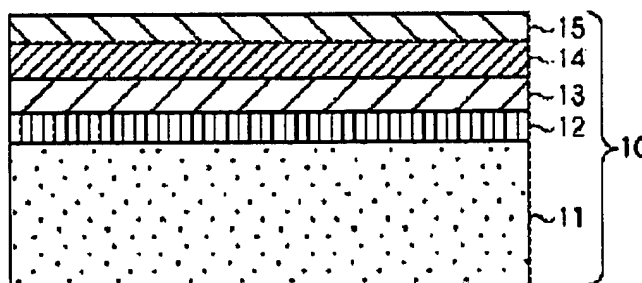
Patent number: JP2003078118
Publication date: 2003-03-14
Inventor: NOZU KAZUYA; SATO NOBUHIKO
Applicant: CANON KK
Classification:
- **International:** H01L27/12; H01L21/336; H01L21/762; H01L29/786
- **European:**
Application number: JP20010264674 20010831
Priority number(s): JP20010264674 20010831

Report a data error here

Abstract of JP2003078118

PROBLEM TO BE SOLVED: To provide a method of manufacturing a strained SOI substrate, taking advantage of a transfer method (lamination, delamination).

SOLUTION: A porous layer 12, a silicon layer 13, a SiGe layer 14, and a silicon layer 15 are successively formed on a silicon board 11 for the formation of a first board 10. Then, all the silicon layer 15 of the first board 10 and a part of the SiGe layer 14 are oxidized, and an oxide which serves lastly as a buried oxide film is formed. Then, the first board 10 and a second board are bonded together, and the bonded board is separated into two parts at the isolation layer 12.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-78118

(P 2 0 0 3 - 7 8 1 1 8 A)

(43) 公開日 平成15年3月14日 (2003. 3. 14)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 27/12		H01L 27/12	B 5F032
			E 5F110
21/336		21/76	D
21/762		29/78	D
29/786		627	D

審査請求 未請求 請求項の数14 O L (全13頁)

(21) 出願番号 特願2001-264674 (P 2001-264674)

(22) 出願日 平成13年8月31日 (2001. 8. 31)

(71) 出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 野津 和也

東京都大田区下丸子3丁目30番2号 キャ
ノン株式会社内

(72) 発明者 佐藤 信彦

東京都大田区下丸子3丁目30番2号 キャ
ノン株式会社内

(74) 代理人 100076428

弁理士 大塚 康德 (外3名)

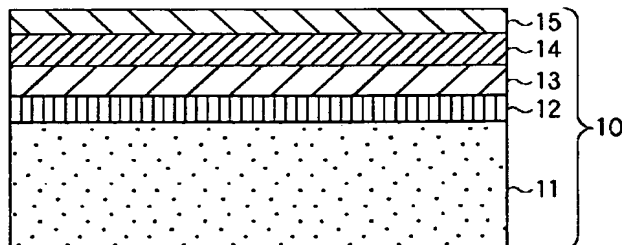
最終頁に続く

(54) 【発明の名称】 半導体部材の製造方法及び半導体装置の製造方法

(57) 【要約】

【課題】 移設法（貼り合わせ、分離）を利用した歪みS
OI基板の製造方法を提供する。

【解決手段】 シリコン基板11上に多孔質層12、シリ
コン層13、SiGe層14及びシリコン層15を順に
形成して第1の基板10を作製する。次いで、第1の基
板10のシリコン層15の全部とSiGe層14の一部
を酸化させて、最終的に埋め込み酸化膜となる酸化膜を
形成する。次いで、第1の基板10と第2の基板を貼り
合わせ、その後、分離層12の部分で分離する。



【特許請求の範囲】

【請求項 1】 半導体部材の製造方法であって、
第 1 及び第 2 の半導体材料を含む結晶層を有する第 1 の部材を準備する準備工程と、
前記結晶層の一部が酸化されるように前記第 1 の部材をその表面から酸化させて酸化膜を形成する酸化工程と、
前記酸化工程を経た前記第 1 の部材の前記酸化膜側に第 2 の部材を貼り合わせ、その後、前記第 1 の部材のうち前記結晶層を含む移設層が前記第 2 の部材に移設されるように前記第 1 の部材のうち前記移設層以外の部分を除去する移設工程と、
を含むことを特徴とする半導体部材の製造方法。

【請求項 2】 前記準備工程で準備する前記第 1 の部材は、前記結晶層の上に実質的に前記第 1 の半導体材料からなる層を有することを特徴とする請求項 1 に記載の半導体部材の製造方法。

【請求項 3】 前記準備工程で準備する前記第 1 の部材は、前記結晶層の下に実質的に前記第 1 の半導体材料からなる層を有することを特徴とする請求項 1 に記載の半導体部材の製造方法。

【請求項 4】 前記準備工程で準備する前記第 1 の部材は、前記結晶層の下及び上に実質的に前記第 1 の半導体材料からなる層を有することを特徴とする請求項 1 に記載の半導体部材の製造方法。

【請求項 5】 前記移設工程を経た前記第 1 の部材の前記移設層の上に実質的に前記第 1 の半導体材料からなる層を成長させる成長工程を更に含むことを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の半導体部材の製造方法。

【請求項 6】 前記酸化工程において前記結晶層の一部が酸化されることにより、前記結晶層の前記一部の酸化前に比べて前記結晶層中の前記第 2 の半導体材料の濃度が高まることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の半導体部材の製造方法。

【請求項 7】 前記酸化工程は、熱酸化法により前記第 1 の部材をその表面から酸化させることを特徴とする請求項 1 乃至請求項 6 のいずれか 1 項に記載の半導体部材の製造方法。

【請求項 8】 前記第 1 の部材は内部に分離層を有し、前記移設工程では、前記第 1 の部材と前記第 2 の部材とを貼り合わせた後に、貼り合わせにより形成された部材を前記分離層の部分で分離することを特徴とする請求項 1 乃至請求項 7 に記載の半導体部材の製造方法。

【請求項 9】 前記分離層は、陽極化成法により形成された多孔質層又はイオン注入法により形成されたイオン注入層であることを特徴とする請求項 8 に記載の半導体部材の製造方法。

【請求項 10】 前記第 1 の半導体材料はシリコンであることを特徴とする請求項 1 乃至請求項 9 のいずれか 1 項に記載の半導体部材の製造方法。

【請求項 11】 前記第 2 の半導体材料はゲルマニウムであることを特徴とする請求項 10 に記載の半導体部材の製造方法。

【請求項 12】 前記結晶層が酸化されて酸化膜となった部分には、実質的に前記第 2 の半導体材料が含まれず、
前記酸化工程は、前記第 2 の半導体材料の拡散による前記結晶層中の前記第 2 の半導体材料の濃度の低下よりも酸化による前記結晶層中の前記第 2 の半導体材料の濃度の上昇が優位な条件の下で、実施されることを特徴とする請求項 1 乃至請求項 11 のいずれか 1 項に記載の半導体部材の製造方法。

【請求項 13】 半導体装置の製造方法であって、
請求項 1 乃至 11 のいずれか 1 項に記載の半導体部材の製造方法により製造された半導体部材を準備する準備工程と、
前記半導体部材の前記結晶層に隣接した前記第 1 の半導体材料からなる歪み半導体層をチャンネルとする回路素子を形成する回路素子形成工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項 14】 半導体装置の製造方法であって、
第 1 及び第 2 の半導体材料を含む結晶層を有する第 1 の部材を準備する準備工程と、
前記結晶層の一部が酸化されるように前記第 1 の部材をその表面から酸化させて酸化膜を形成する酸化工程と、
前記酸化工程を経た前記第 1 の部材の前記酸化膜側に第 2 の部材を貼り合わせ、その後、前記第 1 の部材のうち前記結晶層を含む移設層が前記第 2 の部材に移設されるように前記第 1 の部材のうち前記移設層以外の部分を除去する移設工程と、
前記第 2 の部材上に移設された前記結晶層上に実質的に前記第 1 の半導体材料からなる歪み半導体層を形成する歪み半導体層形成工程と、
前記歪み半導体層をチャンネルとする回路素子を形成する回路素子形成工程と、を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体部材の製造方法及び半導体装置の製造方法に関する。

【0002】

【従来の技術】高速かつ低消費電力の半導体装置（デバイス）を形成するための基板として、歪みシリコン層(strained silicon layer)を有する基板が注目されている。シリコン(Si)とゲルマニウム(Ge)からなる層(SiGe層)をシリコン基板上に成長させ、その上にシリコン単結晶層を成長させると、該シリコン層に歪みが加わり、歪みシリコン層が得られる。この歪みは、シリコンとゲルマニウムからなる結晶層の格子定数がシリコン単結晶層の格子定数よりも僅かに大きいことにより発生する。

【0003】一方、シリコン基板中に埋め込み酸化膜(BuriedOxide; BOX)を有するSOI基板もまた、高速かつ低消費電力の半導体装置(デバイス)を形成するための基板として注目されており、実用化が進んでいる。

【0004】更に、シリコン基板に第1のSiGe層を形成し、その上に第1のSiGe層よりもGeの濃度が高い第2のSiGe層を形成し、第1のSiGe層と第2のSiGe層との界面付近にSIMOX (Separation by Ion Implanted Oxygen) 法により絶縁層としての埋め込み酸化膜を形成することにより、埋め込み酸化膜上に高Ge濃度で膜厚の薄いSiGe層を得る技術が報告されている(“A Novel Fabrication Technique of Ultra-Thin and Relaxed SiGe Buffer layers with High Ge Content for Sub-100nm Strained Silicon-on-Insulator MOSFETs”, T. Tezuka et al., SOLID STATE DEVICES AND MATERIALS, Sendai, 2000, pp. 472-473; “Design of SiGe/Buried Oxide structure to Form Highly Strained Si Layer on Insulator for SOI MOSFETs”, N. Sugiyama et al., SOLID STATE DEVICES AND MATERIALS, Sendai, 2000, pp. 474-475)。

【0005】高Ge濃度のSiGe層を形成することにより、その上に形成される単結晶シリコン層の歪みを大きくし、高速デバイスの製造に適した半導体基板が得られる。

【0006】

【発明が解決しようとする課題】上記のT. Tezuka et al. 及びN. Sugiyama et al. の技術は、絶縁層上に高Ge濃度のSiGe層を有する構造を形成するためにSIMOX法を利用することを1つの特徴とする。したがって、この技術は、SIMOX法における技術的不利益を潜在的に抱えている。すなわち、SIMOX法では、シリコン基板中に大量の酸素イオンを打ち込むことにより該シリコン基板中に埋め込み酸化膜(BOX)を形成する。そのため、SIMOX法では、シリコン基板中に多数の結晶欠陥が生じ、少数キャリアデバイスを作製するための品質を確保することが難しく、また、SIMOX法に従ってシリコン基板中に形成される埋め込み酸化膜については、その品質の更なる向上が求められている。これらの点を考慮すると、T. Tezuka et al. 及びN. Sugiyama et al. によって報告された技術では、SIMOX工程においてSiGe層に多数の結晶欠陥(例えば、転位(dislocation))が生じる他、埋め込み酸化膜の品質を向上させることが難しく、そのため、歪みシリコン及びSOI構造が潜在的に持っていると思われる効果を十分に発揮させることが難しいと考えられる。

【0007】本発明は、上記の背景に鑑みてなされたものであり、例えば、酸化膜上に第1及び第2の半導体材料を含む結晶層(例えば、SiGe層)を有する半導体部材を作製するための新規な技術を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の第1の側面は、

半導体部材の製造方法に係り、第1及び第2の半導体材料を含む結晶層を有する第1の部材を準備する準備工程と、前記結晶層の一部が酸化されるように前記第1の部材をその表面から酸化させて酸化膜を形成する酸化工程と、前記酸化工程を経た前記第1の部材の前記酸化膜側に第2の部材を貼り合わせ、その後、前記第1の部材のうち前記結晶層を含む移設層が前記第2の部材に移設されるように前記第1の部材のうち前記移設層以外の部分を除去する移設工程とを含む。

【0009】この発明によれば、例えば、貼り合わせ法を利用すること、及び、埋め込み酸化膜となる酸化膜を貼り合わせ前の酸化工程において形成することにより、良質の埋め込み酸化膜を得ることができる。また、加えて、酸化工程において酸化膜を形成する際に結晶層の一部を酸化させることにより結晶層中における第2の半導体材料の濃度を高めることができる。

【0010】本発明の好適な実施の形態によれば、前記準備工程で準備する前記第1の部材は、前記結晶層の上及び／又は下に実質的に前記第1の半導体材料からなる層を有することが好ましい。

【0011】本発明の好適な実施の形態によれば、前記製造方法は、前記移設工程を経た前記第1の部材の前記移設層の上に実質的に前記第1の半導体材料からなる層を成長させる成長工程を更に含むことが好ましい。ここで、前記移設層の上に形成された層は、その格子定数が前記移設層の格子定数と異なるので、歪み半導体層となる。

【0012】本発明の好適な実施の形態によれば、前記酸化工程において前記結晶層の一部が酸化されることにより、前記結晶層の前記一部の酸化前に比べて前記結晶層中の前記第2の半導体材料の濃度が高まる。

【0013】本発明の好適な実施の形態によれば、前記酸化工程は、熱酸化法により前記第1の部材をその表面から酸化させることが好ましい。

【0014】本発明の好適な実施の形態によれば、前記第1の部材は内部に分離層を有し、前記移設工程では、前記第1の部材と前記第2の部材とを貼り合わせた後に、貼り合わせにより形成された部材を前記分離層の部分で分離することが好ましい。ここで、前記分離層は、例えば、陽極化成法により形成された多孔質層又はイオン注入法により形成されたイオン注入層であることが好ましい。陽極化成法による多孔質層は、第1及び第2の半導体材料を含む結晶層の形成する前に形成されうる。また、イオン注入法によるイオン注入層は、典型的には、酸化工程の後に形成されうる。

【0015】本発明の好適な実施の形態によれば、前記第1の半導体材料はシリコンであることが好ましい。また、前記第2の半導体材料はゲルマニウムであることが好ましい。この場合、前記結晶層はSiGe層である。

【0016】本発明の好適な実施の形態によれば、前記

結晶層が酸化されて酸化膜となった部分には、実質的に前記第2の半導体材料が含まれず、前記酸化工程は、前記第2の半導体材料の拡散による前記結晶層中の前記第2の半導体材料の濃度の低下よりも酸化による前記結晶層中の前記第2の半導体材料の濃度の上昇が優位な条件の下で実施されることが好ましい。

【0017】本発明の第2の側面は、半導体装置の製造方法に係り、第1及び第2の半導体材料を含む結晶層を有する第1の部材を準備する準備工程と、前記結晶層の一部が酸化されるように前記第1の部材をその表面から酸化させて酸化膜を形成する酸化工程と、前記酸化工程を経た前記第1の部材の前記酸化膜側に第2の部材を貼り合わせ、その後、前記第1の部材のうち前記結晶層を含む移設層が前記第2の部材に移設されるように前記第1の部材のうち前記移設層以外の部分を除去する移設工程と、前記第2の部材上に移設された前記結晶層上に実質的に前記第1の半導体材料からなる歪み半導体層を形成する歪み半導体層形成工程と、前記歪み半導体層をチャンネルとする回路素子を形成する回路素子形成工程とを含むことを特徴とする。

【0018】

【発明の実施の形態】本発明の好適な実施の形態は、絶縁層上に、シリコン（第1の半導体材料）及びゲルマニウム（第2の半導体材料）を含むSiGe層（結晶層）を有し、その上に歪みシリコン層を有する構造を形成するために移設法（貼り合わせ法）を利用することを1つの特徴とする。ここで、移設法（貼り合わせ法）とは、第1の部材から移設層を第2の部材に移設する方法であり、例えば、移設対象である移設層を有する第1の部材を移設先の第2の部材に貼り合わせ、この貼り合わされた第1及び第2の部材から、不要な部分を、研削、研磨、エッチング、分離などから選択される少なくとも一種の手法を用いて、除去することにより、第2の部材上に移設層を設ける方法である。より好ましくは、脆弱な構造の分離層の上に移設層を有する第1の部材を該移設層を挟むようにして第2の部材に貼り合わせ、その後、貼り合わせによって形成された複合部材（貼り合わせ部材）を分離層の部分で分離する方法である。

【0019】この方法によれば、第1の部材に形成された移設層のうち下側の層が第2の部材の上側の層となり、第1の部材に形成された移設層のうち上側の層が第2の部材の下側の層となるように、移設層が第1の部材から第2の部材に移設される。すなわち、この方法によれば、第1の部材に順に積み上げられた層が、第2の部材上においては、その積み上げの順番と逆の順番で第2の基板に積み上げられた構造となる。

【0020】本発明の好適な実施の形態によれば、第1の部材の表面に分離層を形成し、その上にシリコン（第1の半導体材料）とゲルマニウム（第2の半導体材料）とを含むSiGe層（結晶層）を形成し、その上に実質

的にシリコン（第1の半導体材料）からなる層を形成する。次いで、表面の層の全体をその表面から酸化させ、さらに、その下の結晶層の表面側の一部を酸化させることにより、結晶層上に絶縁層としての酸化膜を形成しつつ結晶層中の第2の半導体材料の濃度を高める。この酸化膜は、最終的に埋め込み酸化膜の全部又は一部となる。

【0021】次いで、酸化膜を挟むようにして、第1の部材に第2の部材を貼り合わせて複合部材（貼り合わせ部材）を形成する。次いで、複合部材を分離層の部分で分離する。分離後の第2の部材は、埋め込み酸化膜上に、ゲルマニウム（第2の半導体材料）を高濃度を含むSiGe層を有する構造となる。このような構造の半導体部材上のSiGe層上にシリコン層を形成すると、当該シリコン層は、その格子定数が下地のSiGe層の格子定数と異なるので、歪み半導体層となる。

【0022】この実施の形態によれば、貼り合わせ法を利用すること、及び、最終的に埋め込み酸化膜となる酸化膜を貼り合わせ前の酸化工程において形成することにより、良質の埋め込み酸化膜を得ることができる。また、貼り合わせ工程の前に実施される酸化工程において酸化膜を形成する際にSiGe層の一部を酸化させることによりSiGe層中のゲルマニウム濃度を高濃度化するので、貼り合わせ工程、分離工程、及びSiGe層上への単結晶シリコン層の形成工程を経て得られる歪みシリコン層の歪みを大きくすることができる。この歪みシリコン層を活性層として利用して形成されたデバイスは、高速かつ低消費電力であるという特徴を有する。

【0023】ここで、第1の部材のSiGe層上にシリコン層を形成する工程を省略してもよい。ただし、シリコン層を酸化させて酸化膜を形成した方が良質の酸化膜を得ることができるので、SiGe層上にシリコン層を形成する方が好ましい。また、SiGe層上にシリコン層を形成する場合であっても、エピタキシャル成長装置により、SiGe層とシリコン層とを、大気開放することなく、連続的に形成することができるため、シリコン層を形成する工程を付加することによる時間的な不利益は少ない。

【0024】第1の部材としては、典型的には、シリコン基板が利用され、また、分離層は、典型的には、陽極化成によりシリコン基板の表面を多孔質化することにより形成され得る。

【0025】上記の方法において、第1の部材にSiGe層の下に、シリコン層を形成することが好ましい。これは、分離層上に直接にSiGe層を形成するよりも、分離層上にシリコン層を形成した後にSiGe層を形成する方が、良質のSiGe層が得られるからである。

【0026】また、上記の方法では、第1の部材に先ず分離層を形成し、その後、SiGe層／絶縁層構造を形成するが、例えば、SiGe層／絶縁層構造を形成した

後、又は、形成の途中で分離層を形成することもできる。例えば、SiGe層／絶縁層構造が形成された第1の部材に対して水素イオン等を注入する工程を含むイオン注入法により、SiGe層の下に、イオン注入層を形成し、これを分離層として利用することもできる。なお、上記のイオン注入層では、熱処理を施すことで、イオン注入層内に潜在的に存在する多数の微小な空洞が凝集することが知られている。このような層は、例えば、微小空洞層(micro-cavity layer)と呼ばれる。イオン注入種としては、水素イオンの他、窒素や希ガスイオンを用いることができる。イオン注入法としては、例えばプラズマ浸漬イオン注入法(例えば、国際公開番号WO98/52216号公報に記載されている)を採用することができる。

【0027】上記のSiGe層は、該SiGe層に接して形成される活性層(半導体層)に歪みを誘起して歪み半導体層を形成するための歪み誘起層として機能する。歪み誘起層としてはSiGe層が最も好ましいので、この実施の形態ではSiGe層を歪み誘起層とした例を説明するが、この他にも、例えば、Sb、As又はC等をシリコンに添加した層を歪み誘起層として利用しうる。

【0028】また、上記の製造方法において、分離工程は、種々の方法によって実現され得るが、例えば、貼り合わせによって形成された複合部材に分離層中或いはその界面に亀裂が生じるような応力を発生させるために十分な熱処理を施す方法、複合部材に外力を加えて2つに分離する方向に力を加える方法などであり、具体的には、複合部材の側面に固体又は流体の楔を挿入する方法、第1及び第2の部材を引っ張る方法などである。流体を用いる場合、静圧を印加する方法であっても、ジェットを印加する方法であってもよいが、複合部材の側面の分離層に向けて流体を噴射し、該流体により該複合部材を2枚の部材に分離する方法が好適である。流体としては、水等の液体の他、空気等の気体を採用し得る。流体として水又はその混合物を採用する技術は、ウォータージェット法として知られている。

【0029】以下、本発明の好適な実施例に係る半導体部材の製造方法を説明する。

【0030】[実施例]図1A～図1Eは、本発明の好適な実施例の半導体部材の製造方法を示す図である。

【0031】図1Aに示す工程では、シリコン基板11上に多孔質層12を有し、その上にシリコン層(第1の半導体材料からなる層)13を有し、その上にシリコン(第1の半導体材料)とゲルマニウム(第2の半導体材料)とを含むSiGe層(歪み誘起層としての結晶層)14を有し、その上にシリコン層(第1の半導体材料からなる層)15を有する第1の基板(部材)10を作成する。

【0032】ここで、シリコン層13を形成することなく、多孔質層12上に直接SiGe層14を形成しても

よい。しかしながら、多孔質層12上に直接SiGe層14を形成するよりも、多孔質層12上にシリコン層13を形成した後にその上にSiGe層14を形成した方が、良質のSiGe層14を得ることができる。

【0033】また、SiGe層14上のシリコン層15は必ずしも必要ではないが、後に第1の基板10を酸化させて良質の酸化膜(最終的に埋め込み酸化膜の全部又は一部となる酸化膜)を形成するためには、SiGe14上にシリコン層15を有する方がよい。

【0034】例えば、シリコン層(第1の半導体材料からなる層)13の厚さとしては、50nm～500nm、シリコン(第1の半導体材料)とゲルマニウム(第2の半導体材料)とを含むSiGe層14の厚さとしては、10nm～200nm、シリコン層(第1の半導体材料からなる層)15の厚さとしては、10nm～200nmの範囲から選択することができる。

【0035】また、第1の半導体材料と第2の半導体材料とを含む結晶層であるSiGe層14としては、所望のGe濃度をもつSiGe層が得られるものであればよい。例えば、SiGeを歪み半導体層の形成に利用する場合には、隣接する半導体層に歪みを誘起できるものであればよく、Geの濃度が5原子%～40原子%、より好ましくは15原子%～30原子%から選択されるSi_xGe_y(x+y=1)結晶を用いることができる。以下、第1の基板10の作製方法を説明する。まず、単結晶シリコン基板11上に陽極化成により例えば1μm以上の厚さの多孔質層12を形成する。陽極化成は、典型的には、白金電極対を有する化成槽にフッ化水素(HF)を含む化成液を満たし、該電極対間にシリコン基板11を配置し、該電極対間に電流を流すことによりなされる。この工程によって形成される多孔質層12は、脆弱な構造の層であって、後の分離工程において分離層として機能する。

【0036】なお、多孔質層の内部孔表面に酸化膜等の保護膜を形成してもよい。また、化成液を交換又は電流を制御して、互いに多孔度の異なる複数の層としてもよい。例えば、単結晶シリコン基板11側から第1の多孔質層、そしてその上に該第1の多孔質層よりも多孔度の低い第2の多孔質層を形成することもできる。

【0037】次いで、多孔質層12上にCVD法により単結晶シリコン層13をエピタキシャル成長させる。

【0038】単結晶シリコン層13の成長条件を挙げると、キャリアガスとしての水素(H₂)の流量は、好ましくは15～45リットル/分であり、典型的には30リットル/分である。また、原料ガスとしてのSiH₂Cl₂の流量は、好ましくは50～200SCCMであり、典型的には100SCCMである。また、チャンバ圧力は、好ましくは1.3×10⁻³Pa～1.4×10⁻⁴Paであり、典型的には1.0×10⁻⁴Pa～1.1×10⁻⁴Paである。また、成長温度は、好ましくは650℃～1000℃であ

り、典型的には900℃である。

【0039】なお、単結晶シリコン層の成長に先だって、上記多孔質層表面を水素雰囲気中で熱処理（プリベーク）することも好ましい。プリベークにおいて、水素の流量は、好ましくは15～45リットル/分（典型的には、40リットル/分）、温度は、好ましくは700～1000℃（典型的には950度）、チャンバ内圧力は、好ましくは 1.3×10^3 Pa～ 1.1×10^5 Pa（典型的には、 1.0×10^4 Pa～ 1.1×10^4 Pa）である。更に、単結晶シリコン層の成長初期段階において50nm/min以下の低成長速度で成長させることも好ましい。

【0040】次いで、単結晶シリコン層13上にSiGe層14をランプ加熱によるCVD法によりエピタキシャル成長させる。なお、エピタキシャル成長に先だって、前述のプリベークを行ってもよい。

【0041】Ge濃度が上述した範囲となるようなエピタキシャル成長の条件を挙げると、キャリアガスとしての水素（H₂）の流量は、好ましくは25～45リットル/分であり、典型的には30リットル/分である。また、第1原料ガスとしてのSiH₄の流量は、好ましくは50～200sccmであり、典型的には100sccmである。また、第2原料ガスとしての2体積%GeH₄の流量は、好ましくは20～500sccmであり、典型的には300sccmである。また、チャンバ圧力は、好ましくは 1.3×10^3 Pa～ 1.4×10^4 Paであり、典型的には約 1.3×10^4 Paである。また、温度は、好ましくは650～680℃である。また、成長速度は、好ましくは10～50nm/分である。

【0042】次いで、SiGe層14の上にCVD法により単結晶シリコン層15をエピタキシャル成長させる。単結晶シリコン層の成長条件を挙げると、キャリアガスとしての水素（H₂）の流量は、好ましくは15～45リットル/分であり、典型的には30リットル/分である。また、原料ガスとしてのSiH₄の流量は、好ましくは50～500SCCMであり、典型的には100SCCMである。また、チャンバ圧力は、好ましくは 1.3×10^3 Pa～ 1.4×10^4 Paであり、典型的には 1.0×10^4 Pa～ 1.1×10^4 Paである。また、成長温度は、好ましくは650℃～1000℃であり、典型的には900℃である。また、成長速度は、好ましくは10～500nm/minである。

【0043】勿論、成長に先だって、既述のプリベークを行ってもよい。また、各工程ごとにCVD装置から試料を取り出す場合は、次工程に先だって、表面を希HF溶液に浸漬するなどの方法により表面に形成された自然酸化膜を除去してもよい。

【0044】以上の工程により、図1Aに模式的に示すような第1の基板（部材）10が得られる。ここで、上

記のように多段の工程によってシリコン層13、SiGe層14、シリコン層15を形成する代わりに、単一の工程（例えば、CVD工程）において、Geの濃度（又は、これに付図して他のガスの濃度）や他の条件を徐々に又は段階的に変更しながら、シリコン層13、SiGe層14、シリコン層15を形成することもできる。

【0045】図1Aに示す工程に次いで、図1Bに示す工程では、図1Aに示す第1の基板10のシリコン層15の全部を酸化させ、さらにシリコン層15の下層であるSiGe層14の表面側の一部を酸化させて、絶縁膜としての酸化膜21を形成する。この工程には、例えば熱酸化法が適用される。

【0046】上記のように、SiGe層14の表面側の一部を酸化させることにより、SiGe層14のゲルマニウム濃度が高められて、高濃度のゲルマニウムを含有したSiGe層14aが得られる。これは、SiGe層14が酸化されながら形成される酸化膜によってゲルマニウム原子が酸化膜外に押し出され、酸化膜中にはゲルマニウム原子が全く又は殆ど残らないからである。酸化膜21は、後に埋め込み酸化膜又はその一部として利用される。

【0047】ところで、熱酸化法によりシリコン層15の全部及びSiGe層14の一部を酸化させる際に、SiGe層14中のゲルマニウム原子が熱により拡散する。この拡散は、SiGe層14のゲルマニウム濃度が低下することを意味する。したがって、典型的には、シリコン層15が完全に酸化されてSiGe層15の酸化が始まるまではSiGe層15中のゲルマニウムがシリコン層15（及びシリコン層13）中に拡散してSiGe層15のゲルマニウム濃度が減少する。そして、シリコン層15が完全に酸化されてSiGe層15の酸化が始まると、成長する酸化膜によってSiGe層14中のゲルマニウムがSiGe層14に押し込まれることによりSiGe層15が薄くなり、SiGe層15のゲルマニウム濃度が高まる。ただし、SiGe層15のゲルマニウムの高濃度化は、シリコン層13へのゲルマニウムの拡散によってSiGe層15が厚くなる速度よりも、熱酸化によってSiGe層15が薄くなる速度の方が速い条件の下で起こる。後述するように熱酸化処理時の温度及び時間を制御することにより適切な速度に制御できる。

【0048】酸化膜21を熱酸化法によって形成することにより、SIMOX法による埋め込み酸化膜に比べて遥かに良質の酸化膜（絶縁層）21を得ることができる。

【0049】図1Bに示す工程に次いで、図1Cに示す工程では、酸化膜21が形成された第1の基板（部材）10'の酸化膜21側に第2の基板（部材）30を貼り合わせる。ここで、第1の基板10'と第2の基板30とを単に密着させるだけでもよいし、密着させた後に両基板の結合を強固にするために陽極接合、あるいは熱処

理等を施してもよい。第2の基板30は、典型的には、シリコン基板31の表面に SiO_2 層等の絶縁層32を形成した基板である。ただし、絶縁層32は必須ではないし、また、第2の基板30がシリコン基板で構成されることも必須ではない。例えば、第2の基板30は、ガラス基板等であってもよい。

【0050】図1Cに示す工程に次いで、図1Dに示す工程では、貼り合わせによって形成された基板（貼り合わせ基板）を分離層12の部分で2枚の基板に分離する。すなわち、図1Cに示す貼り合わせ工程及び図1D 10に示す分離工程により移設工程が実施される。ここで、移設される層には、酸化膜21、SiGe層14a、シリコン層13が含まれる。分離工程は、例えば、貼り合わせ基板をその軸を中心として回転させながら、その分離層12に流体を打ち込むことにより実施され得る。なお、符号12'、12''は、分離後に両基板に残留する多孔質層を模式的に示している。

【0051】ここで、液体や気体などの流体を利用する分離方法に代えて、引っ張り、圧縮、せん断等の応力を利用する分離方法を採用してもよいし、これらを併用し 20てもよい。

【0052】分離後の第2の基板30'上に多孔質層12'が残留する場合には、当該残留多孔質層をエッチング、研磨、研削、水素を含む還元性雰囲気中での熱処理等により除去することが好ましい。勿論、残留物が無い場合や非常に少ない場合、または後工程において問題とならない場合には必ずしも除去工程を実施する必要はない。

【0053】図1Eは、上記の方法により形成された半導体基板を模式的に示す図である。この半導体基板3 300''は、絶縁層としての酸化膜21上に、ゲルマニウムを高濃度を含むSiGe層14aを有し、その上にシリコン層13を有する。シリコン層13は、ゲルマニウムを高濃度を含むSiGe層14aにより歪みが誘起されて歪みシリコン層となる。ここで、シリコン層13を除去した後に、SiGe層13上に再度シリコン層を形成してもよい。これにより一層良質の歪みシリコン層を形成しうる。

【0054】歪みシリコン層13を利用して回路素子を形成することにより、高速かつ低消費電力のデバイスを 40得ることができる。回路素子の形成（半導体装置の製造）については後述する。なお、必要に応じて表面を研磨あるいは水素アニールにより平坦化しても良い。

【0055】ここで、図1Bに示す酸化工程における条件に関して説明する。図2は、酸化工程の前及び酸化工程中における第1の基板を模式的に示す図である。ここで、酸化工程前における第1の基板10の表面を基準表面とし、基準表面からSi層15とSiGe層14との界面までの距離を t_s 、基準表面からSiGe層14とSi層13との界面までの距離を t_b 、基準表面から酸 50

化膜21とSi層15との界面までの距離を t_{ox} とする。

【0056】酸化工程において、Si層15が酸化されずに残っている間は、SiGe層14中のゲルマニウムがSi層15（及びSi層13）中に拡散するために、SiGe層14が厚くなり、これによりSiGe層14のゲルマニウム濃度が低下する。一方、Si層15が全て酸化されると、すなわち、 $t_{ox} = t_s$ となると、SiGe層14の酸化が始まり、これに伴ってSiGe層14が薄くなり、これによりSiGe層14のゲルマニウム濃度が高くなる。ただし、SiGe層14のゲルマニウムの高濃度化は、シリコン層13へのゲルマニウムの拡散によってSiGe層14が厚くなる速度よりも、熱酸化によってSiGe層14が薄くなる速度の方が速い条件の下で起こる。

【0057】図3は、800℃において熱酸化工程を実施した場合における t_s 、 t_b 、 t_{ox} の変化を示す図である。図3は、熱酸化時間が t_c （約75分）に達するまでは、ゲルマニウムの拡散により、SiGe層14の厚さ（ $t_b - t_s$ ）が厚くなり、これによりSiGe層14のゲルマニウム濃度が低下すること、及び、熱酸化時間が t_c を経過すると、酸化膜21の下端がSiGe層14の上端に達し、以降はSiGe層14の酸化が進むことにより、SiGe層14の厚さ（ $t_b - t_s$ ）が薄くなり、これによりSiGe層14のゲルマニウム濃度が上昇することを示している。なお、この条件の下では、 t_b が移動する速度（SiGe層14が基板の内部方向に広がる速度）よりも t_{ox} が移動する速度（SiGe層14が酸化される速度）の方が速い。

【0058】すなわち、熱酸化工程を t_c 時間以上実施することにより、SiGe層14のゲルマニウム濃度を高めることができ、これにより埋め込み酸化膜として利用される酸化膜の形成に伴うゲルマニウムの拡散（すなわち、SiGe層14のゲルマニウム濃度の低下）を補償することができる。また、図3から明らかなように、熱酸化工程をさらに長時間実施することにより、SiGe層14のゲルマニウム濃度を、酸化工程実施前のゲルマニウム濃度よりも高くすることができる。

【0059】ここで、SiGe層14上に形成するシリコン層15の厚さを薄くすることにより、酸化がSiGe層14に達するまでの時間を短縮することができるため、SiGe層14のゲルマニウムの高濃度化の効果が大きい。

【0060】さらに、第1の基板10を作製する際にSiGe層14上にシリコン層15を設けない場合（すなわち、 $t_s = 0$ ）には、酸化工程においてSiGe層14の酸化が即座に開始される。ただし、この場合は、酸化工程の初期段階でSiGe層14中のゲルマニウムが気相中に放出する可能性がある。

【0061】図4は、1000℃において熱酸化工程を

実施した場合における t_s 、 t_b 、 t_{ox} の変化を示す図である。図 4 は、熱酸化時間が t_c (約 12 分) に達するまでは、ゲルマニウムの拡散により、SiGe 層 14 の厚さ ($t_b - t_s$) が厚くなり、これにより SiGe 層 14 のゲルマニウム濃度が低下すること、及び、熱酸化時間が t_c を経過すると、酸化膜 21 の下端が SiGe 層 14 の上端に達し、以降は SiGe 層 14 の酸化が進むことにより、SiGe 層 14 の厚さ ($t_b - t_s$) が薄くなり、これにより SiGe 層 14 のゲルマニウム濃度が上昇することを示している。なお、この条件の下では、 t_b が移動する速度 (SiGe 層 14 が基板の内側方向に広がる速度) よりも t_{ox} が移動する速度 (SiGe 層 14 が酸化される速度) の方が速い。

【0062】 [半導体装置の例 1] 上記の基板の製造方法により製造され得る半導体基板を利用した半導体装置 (デバイス) 及びその製造方法の一例を図 5 A ~ 図 5 D を参照しながら説明する。

【0063】 まず、実施例として例示的に説明した上記の半導体基板 (部材) の製造方法を適用して半導体基板を製造する。この半導体基板は、前述のように、埋め込み酸化膜 (絶縁膜) 上に SiGe 層を有し、その上に歪み Si 層を有する。このような基板も、絶縁膜上にシリコン層を有するので、SOI 基板の一種と言える。しかし、歪み Si 層 / SiGe 層 / 絶縁層の構造を有する半導体基板 (以下、歪み SOI 基板) は、Si 単結晶 / 絶縁層の構造を有する通常の SOI 基板に比べて、より高速かつ低消費電力のデバイスが得られるとして注目されている。これは、歪みを有しない Si 層に対する歪み Si 層の優位性による。

【0064】 図 5 A に示す工程では、まず、準備した歪み SOI 基板に、トランジスタを形成すべき活性領域 1103 及び素子分離領域 1054 を形成する。具体的には、例えば、埋め込み絶縁膜 1104 上の SiGe 層 1106 及び歪み Si 層 1105 を島状にパタニングする方法、LOCOS 酸化法、トレンチ法等により、活性領域 1103 及び素子分離領域 1054 を形成することができる。

【0065】 次いで、歪み Si 層 1105 の表面にゲート絶縁膜 1056 を形成する。ゲート絶縁膜 1056 の材料としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化チタン、酸化スカンジウム、酸化イットリウム、酸化ガドリニウム、酸化ランタン、酸化ジルコニウム、及びこれらの混合物ガラス等が好適である。ここでは、ゲート酸化膜 1056 は、例えば、歪み Si 層 1105 の表面を酸化させたり、歪み Si 層 1105 上に CVD 法又は PVD 法により絶縁物質を堆積せたりすることにより形成されることが好ましい。

【0066】 次いで、ゲート絶縁膜 1056 上にゲート電極 1055 を形成する。ゲート電極 1055 は、例えば、P 型又は N 型不純物がドーパされた多結晶シリコン

や、タングステン、モリブデン、チタン、タンタル、アルミニウム、銅などの金属又はこれらの少なくとも 1 種を含む合金や、モリブデンシリサイド、タングステンシリサイド、コバルトシリサイドなどの金属珪化物や、チタンナイトライド、タングステンナイトライド、タンタルナイトライドなどの金属窒化物などで構成され得る。ゲート電極 1055 は、例えばポリサイドゲートのように、互いに異なる材料からなる複数の層を積層して形成されてもよい。ゲート電極 1055 は、例えば、サリサイド (セルフアラインシリサイド) と呼ばれる方法で形成されてもよいし、ダマシゲートプロセスと呼ばれる方法で形成されてもよいし、他の方法で形成されてもよい。以上の工程により図 5 A に示す構造体が得られる。

【0067】 次いで、図 5 B に示す工程では、まず、燐、砒素、アンチモンなどの N 型不純物又はボロンなどの P 型不純物を活性領域 1103 に導入することにより、比較的低濃度のソース、ドレイン領域 1058 を形成する。不純物は、例えば、イオン打ち込み及び熱処理などにより導入することができる。

【0068】 次いで、ゲート電極 1055 を覆うように絶縁膜を形成した後に、これをエッチバックすることにより、ゲート電極 1055 の側部にサイドウォール 1059 を形成する。

【0069】 次いで、再び上記と同一の導電型の不純物を活性領域 1103 に導入し、比較的高濃度のソース、ドレイン領域 1057 を形成する。以上の工程により図 5 B に示す構造体が得られる。

【0070】 次いで、図 5 C に示す工程では、ゲート電極 1055 の上面並びにソース及びドレイン領域 1057 の上面に金属珪化物層 1060 を形成する。金属珪化物層 1060 の材料としては、例えば、ニッケルシリサイド、チタンシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドなどが好適である。これらの珪化物は、ゲート電極 1055 の上面並びにソース及びドレイン領域 1057 の上面を覆うように金属を堆積させて、その後、熱処理を施すことによって、該金属とその下部のシリコンとを反応させた後に、該金属のうち未反応部分を硫酸などのエッチャントで除去することによって形成することができる。ここで、必要に応じて、金属珪化物層 1060 の表面を窒化させてもよい。以上の工程により図 5 C に示す構造体が得られる。

【0071】 次いで、図 5 D に示す工程では、まず、シリサイド化したゲート電極の上面並びにソース及びドレイン領域の上面を覆うように絶縁膜 1061 を形成する。絶縁膜 1061 の材料としては、燐及び / 又はボロンを含む酸化シリコンなどが好適である。

【0072】 次いで、必要に応じて CMP 法により絶縁膜 1061 の表面を平坦化した後、コンタクトホールを形成する。KrF エキシマレーザ、ArF エキシマレー

ザ、F₂エキシマレーザ、電子ビーム、X線等を利用したフォトリソグラフィ技術を適用すると、一辺が0.25ミクロン未満の矩形のコンタクトホール、又は、直径が0.25ミクロン未満の円形のコンタクトホールを形成することができる。

【0073】次いで、コンタクトホール内に導電体を充填する。導電体の充填方法としては、必要に応じてバリアメタル1062となる高融点金属やその窒化物の膜をコンタクトホールの内壁に形成した後に、タングステン合金、アルミニウム、アルミニウム合金、銅、銅合金などの導電体1063を、CVD法、PVD法、めっき法などを利用して堆積させる方法が好適である。ここで、絶縁膜1061の上面よりも高く堆積した導電体をエッチバック法やCMP法により除去してもよい。また、導電体の充填に先立って、コンタクトホールの底部に露出したソース及びドレイン領域の珪化物層の表面を窒化させてもよい。以上の工程により歪みSi層をチャネルとするFET等のトランジスタを作り込むことができ、図5Dに示す構造のトランジスタを有する半導体装置が得られる。

【0074】ここで、ゲート電極に電圧を印加したときにゲート絶縁膜下に広がる空乏層が埋め込み絶縁膜1014の上面に届くように活性層（歪みSi層）の厚さ及び不純物濃度を定めると、形成されたトランジスタは、完全空乏型トランジスタとして動作する。また、空乏層が埋め込み酸化膜1014の上面に届かないように活性層（歪みSi層）の厚さ及び不純物濃度を定めると、形成されたトランジスタは、部分空乏型トランジスタとして動作する。この例では、歪みSi層のみが空乏化するようにその不純物濃度を定めるとよい。

【0075】なお、図5A～図5Dでは、1つのトランジスタの領域のみが示されているが、所望の機能を達成する半導体装置を得るために、歪みSOI基板上に多数のトランジスタその他の回路素子を形成し、これらに配線を形成し得ることは言うまでもない。

【0076】〔半導体装置の例2〕上記の基板の製造方法により製造され得る半導体基板を利用した半導体装置（デバイス）及びその製造方法の他の例を図6A～図6Dを参照しながら説明する。

【0077】まず、実施例として例示的に説明した上記の半導体基板（部材）の製造方法を適用して半導体基板を製造する。この半導体基板は、前述のように、埋め込み酸化膜（絶縁膜）上にSiGe層を有し、その上に歪みSi層を有する。このような基板も、絶縁膜上にシリコン層を有するので、SOI基板の一種と言える。しかし、歪みSi層/SiGe層/絶縁層の構造を有する半導体基板（以下、歪みSOI基板）は、Si単結晶/絶縁層の構造を有する通常のSOI基板に比べて、より高速かつ低消費電力のデバイスが得られるとして注目されている。これは、歪みを有しないSi層に対する歪みSi層の優位性による。

【0078】図6Aに示す工程では、まず、準備した歪みSOI基板に、トランジスタを形成すべき活性領域1103及び素子分離領域1054を形成する。具体的には、例えば、埋め込み絶縁膜1104上のSiGe層1106及び歪みSi層1105を島状にパタニングする方法、LOCOS酸化法、トレンチ法等により、活性領域1103及び素子分離領域1054を形成することができる。

【0079】次いで、歪みSi層1105のうちゲート電極を形成すべき部分が厚くなり、ソース、ドレイン領域を形成すべき部分が薄くなるようにエッチングする。或いは、ゲート電極を形成すべき部分のみに歪みSi層が残るようにパタニングしてもよい。

【0080】次いで、歪みSi層1105の表面にゲート絶縁膜1056を形成する。ゲート絶縁膜1056の材料としては、例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化チタン、酸化スカンジウム、酸化イットリウム、酸化ガドリニウム、酸化ランタン、酸化ジルコニウム、及びこれらの混合物ガラス等が好適である。ここでは、ゲート酸化膜1056は、例えば、歪みSi層1105の表面を酸化させたり、歪みSi層1105上にCVD法又はPVD法により絶縁物質を堆積せたりすることにより形成されることが好ましい。

【0081】次いで、ゲート絶縁膜1056上にゲート電極1055を形成する。ゲート電極1055は、例えば、P型又はN型不純物がドーブされた多結晶シリコンや、タングステン、モリブデン、チタン、タンタル、アルミニウム、銅などの金属又はこれらの少なくとも1種を含む合金や、モリブデンシリサイド、タングステンシリサイド、コバルトシリサイドなどの金属珪化物や、チタンナイトライド、タングステンナイトライド、タンタルナイトライドなどの金属窒化物などで構成され得る。ゲート電極1055は、例えばポリサイドゲートのように、互いに異なる材料からなる複数の層を積層して形成されてもよい。ゲート電極1055は、例えば、サリサイド（セルフアラインシリサイド）と呼ばれる方法で形成されてもよいし、ダマシングートプロセスと呼ばれる方法で形成されてもよいし、他の方法で形成されてもよい。以上の工程により図6Aに示す構造体を得られる。

【0082】次いで、図6Bに示す工程では、まず、燐、砒素、アンチモンなどのN型不純物又はボロンなどのP型不純物を活性領域1103に導入することにより、比較的低濃度のソース、ドレイン領域1058を形成する。不純物は、例えば、イオン打ち込み及び熱処理などにより導入することができる。

【0083】次いで、ゲート電極1055を覆うように絶縁膜を形成した後に、これをエッチバックすることにより、ゲート電極1055の側部にサイドウォール1059を形成する。

【0084】次いで、再び上記と同一の導電型の不純物を活性領域1103に導入し、比較的高濃度のソース、ドレイン領域1057を形成する。以上の工程により図6Bに示す構造体を得られる。

【0085】次いで、図6Cに示す工程では、ゲート電極1055の上面並びにソース及びドレイン領域1057の上面に金属珪化物層1060を形成する。金属珪化物層60の材料としては、例えば、ニッケルシリサイド、チタンシリサイド、コバルトシリサイド、モリブデンシリサイド、タングステンシリサイドなどが好適である。これらの珪化物は、ゲート電極1055の上面並びにソース及びドレイン領域1057の上面を覆うように金属を堆積させて、その後、熱処理を施すことによって、該金属とその下部のシリコンとを反応させた後に、該金属のうち未反応部分を硫酸などのエッチャントで除去することによって形成することができる。ここで、必要に応じて、金属珪化物層1060の表面を窒化させてもよい。以上の工程により図5Cに示す構造体を得られる。

【0086】次いで、図6Dに示す工程では、まず、シリサイド化したゲート電極の上面並びにソース及びドレイン領域の上面を覆うように絶縁膜1061を形成する。絶縁膜1061の材料としては、燐及び／又はボロンを含む酸化シリコンなどが好適である。

【0087】次いで、必要に応じてCMP法により絶縁膜1061の表面を平坦化した後、コンタクトホールを形成する。KrFエキシマレーザ、ArFエキシマレーザ、F₂エキシマレーザ、電子ビーム、X線等を利用したフォトリソグラフィ技術を適用すると、一辺が0.25ミクロン未満の矩形のコンタクトホール、又は、直径が0.25ミクロン未満の円形のコンタクトホールを形成することができる。

【0088】次いで、コンタクトホール内に導電体を充填する。導電体の充填方法としては、必要に応じてバリアメタル1062となる高融点金属やその窒化物の膜をコンタクトホールの内壁に形成した後に、タングステン合金、アルミニウム、アルミニウム合金、銅、銅合金などの導電体1063を、CVD法、PVD法、めっき法などを利用して堆積させる方法が好適である。ここで、絶縁膜1061の上面よりも高く堆積した導電体をエッチバック法やCMP法により除去してもよい。また、導電体の充填に先立って、コンタクトホールの底部に露出したソース及びドレイン領域の珪化物層の表面を窒化させてもよい。以上の工程により歪みSi層をチャネルとするFET等のトランジスタを作り込むことができ、図6Dに示す構造のトランジスタを有する半導体装置が得ら

れる。

【0089】ここで、ゲート電極に電圧を印加したときにゲート絶縁膜下に広がる空乏層が埋め込み絶縁膜1014の上面に届くように活性層（歪みSi層）の厚さ及び不純物濃度を定めると、形成されたトランジスタは、完全空乏型トランジスタとして動作する。また、空乏層が埋め込み酸化膜1014の上面に届かないように活性層（歪みSi層）の厚さ及び不純物濃度を定めると、形成されたトランジスタは、部分空乏型トランジスタとして動作する。この例では、歪みSi層のみが空乏化するようにその不純物濃度を定めるとよい。

【0090】なお、図6A～図6Dでは、1つのトランジスタの領域のみが示されているが、所望の機能を達成する半導体装置を得るために、歪みSOI基板上に多数のトランジスタその他の回路素子を形成し、これらに配線を形成し得ることは言うまでもない。

【0091】

【発明の効果】本発明によれば、例えば、絶縁層上に、シリコン及び付加物質を含む層を有し、その上に歪みシリコン層を有する半導体部材を形成するための新規の技術を提供することができる。

【図面の簡単な説明】

【図1A】、

【図1B】、

【図1C】、

【図1D】、

【図1E】、本発明の好適な実施例の半導体部材の製造方法を示す図である。

【図2】酸化工程の前及び酸化工程中における第1の基板を模式的に示す図である。

【図3】800℃において熱酸化工程を実施した場合における t_s 、 t_b 、 t_{ox} （図2参照）の変化を示す図である。

【図4】1000℃において熱酸化工程を実施した場合における t_s 、 t_b 、 t_{ox} の変化を示す図である。

【図5A】、

【図5B】、

【図5C】、

【図5D】半導体装置及びその製造方法の第1の例を示す図である。

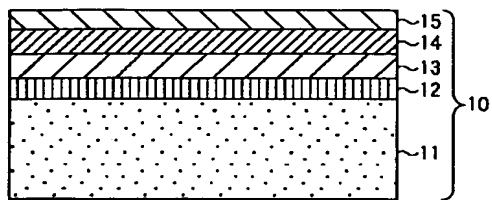
【図6A】、

【図6B】、

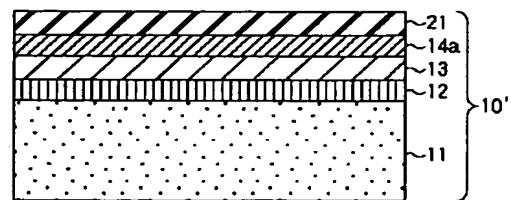
【図6C】、

【図6D】半導体装置及びその製造方法の第2の例を示す図である。

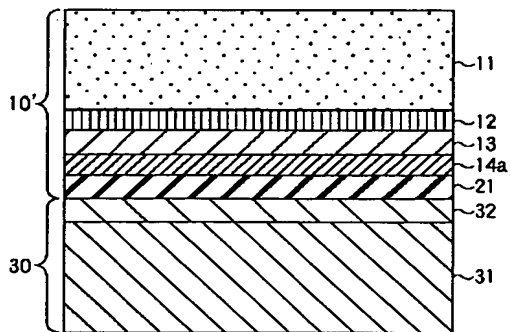
【図 1 A】



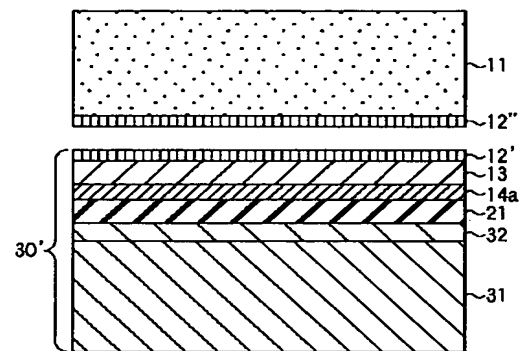
【図 1 B】



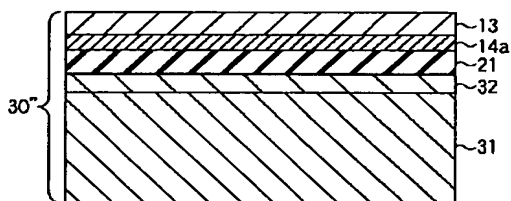
【図 1 C】



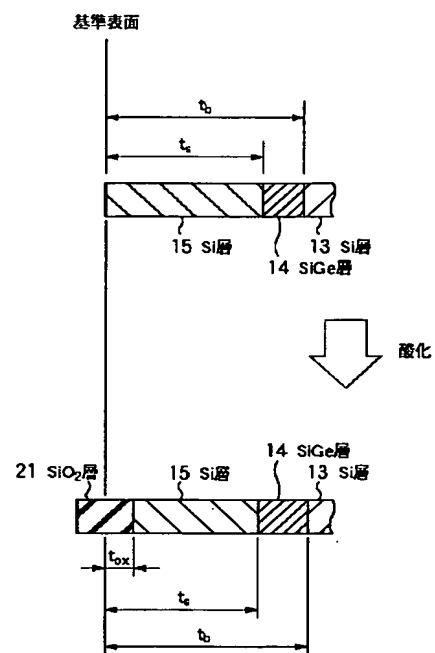
【図 1 D】



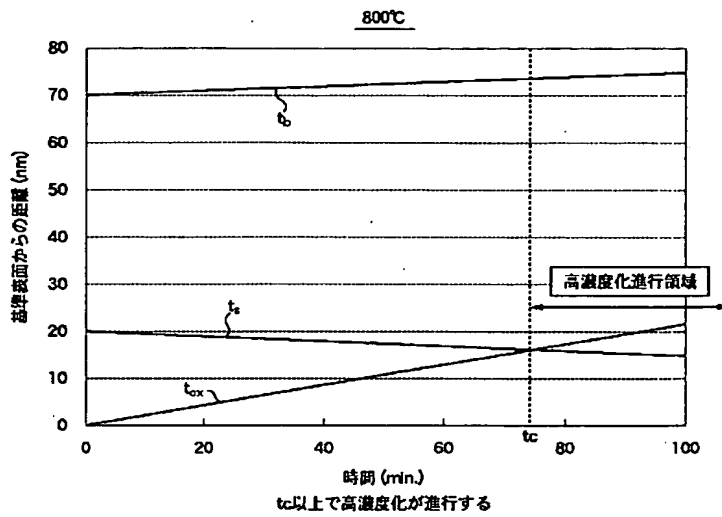
【図 1 E】



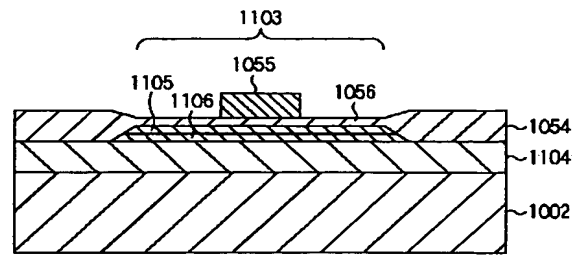
【図 2】



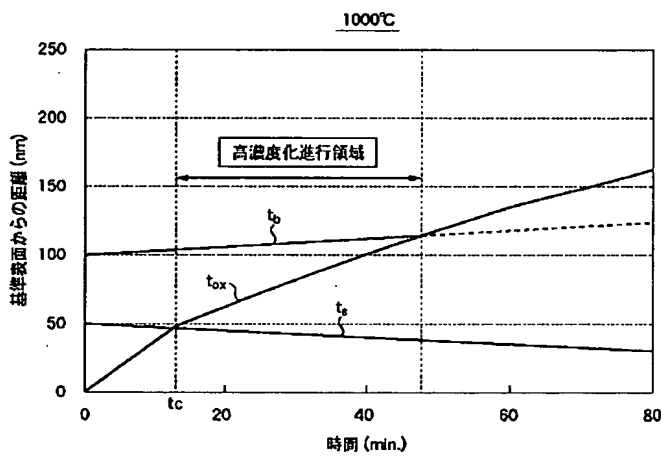
【図 3】



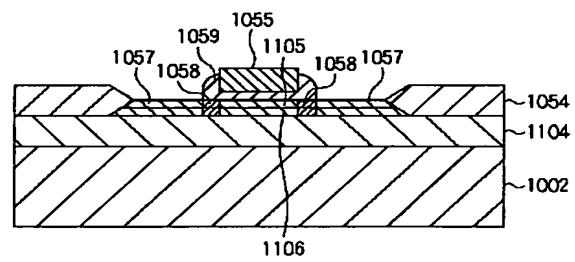
【図 5 A】



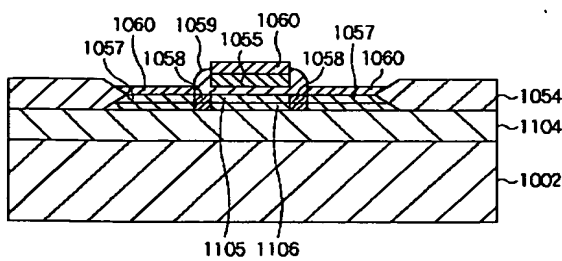
【図 4】



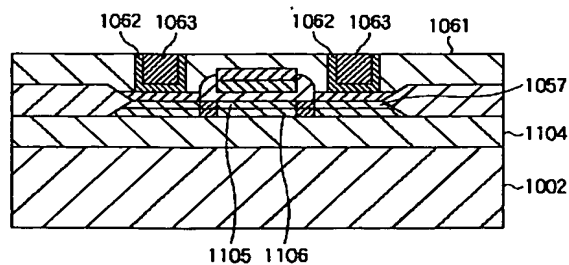
【図 5 B】



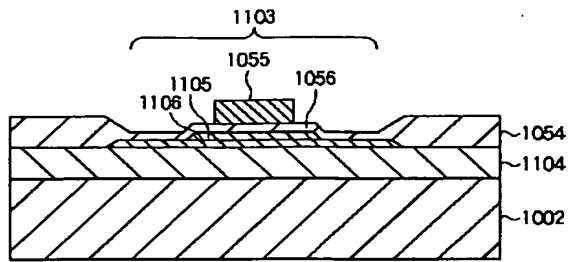
【図 5 C】



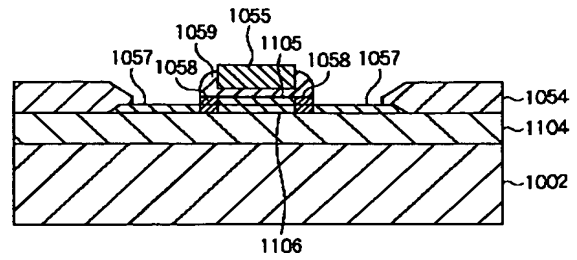
【図 5 D】



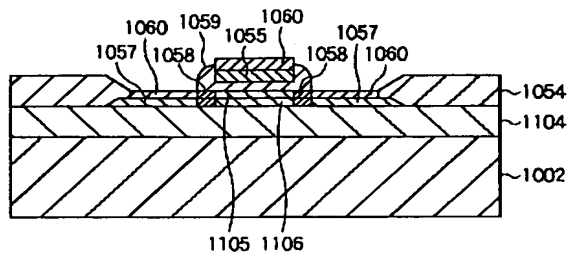
【図 6 A】



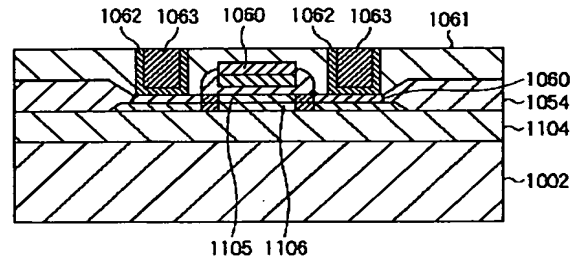
【図 6 B】



【図 6 C】



【図 6 D】



フロントページの続き

F ターム(参考) 5F032 AA06 AA09 AA13 AA35 AA91
 CA05 CA17 DA02 DA13 DA53
 DA67 DA71
 5F110 AA01 AA09 DD02 DD05 DD13
 EE01 EE02 EE03 EE04 EE05
 EE06 EE09 EE14 EE32 EE48
 FF01 FF02 FF03 FF04 FF22
 FF27 FF29 GG01 GG02 GG06
 GG07 GG12 GG19 GG25 GG42
 HJ01 HJ13 HJ22 HK05 HK40
 HK42 HL02 HL03 HL04 HL06
 HL14 HL22 HL24 HL26 HM15
 NN02 NN25 NN26 NN62 NN65
 NN66 QQ01 QQ08 QQ11 QQ17
 QQ19